

English Abstract of  
Japanese Unexamined Patent Application Publication No.6-  
195480

5

Publication date: July 15, 1994

Filing number: 4-274674

Filing date: October 13, 1992

Applicant: NEC Corporation

10 Inventor: Yoshihiro Fujita

Title: "Parallel Processing Device"

Abstract

A one dimensional array of a plurality of processors 2  
15 are provided in an LSI 1. The processors 2 are connected  
with one another. Each processor 2 includes: a memory 21, a  
processing element 22, and a serial-data input/output  
register 23. In each processor, the elements 21, 22, and 23  
communicate data with one another. Signal lines, capable of  
20 performing data communication, are provided between the  
processing elements in the adjacent processors. The signal  
lines extend outside of the LSI 1 from two processors that  
are located in the opposite ends of the processor array.  
The memory in each processor is connected to a memory bus 3.  
25 It is therefore possible to access, from outside, the

memories in the same manner as accessing the normal memory devices from outside. Commands are broadcasted from an external controller to all the processors 2 via a command supply bus 4.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-195480

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/80		9190-5L		
15/16	3 9 0 T	9190-5L		
15/68	K	8420-5L		

審査請求 有 請求項の数 1 (全 4 頁)

(21)出願番号 特願平4-274674

(22)出願日 平成4年(1992)10月13日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 藤田 善弘

東京都港区芝五丁目7番1号日本電気株式会社内

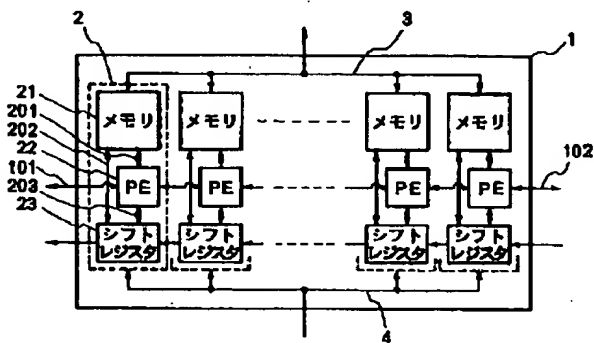
(74)代理人 弁理士 京本 直樹 (外2名)

#### (54)【発明の名称】 並列処理装置

#### (57)【要約】

【目的】 並列メモリアクセス、高速データ入出力、外部装置との高速かつ柔軟な通信機能、小型化のための高集積性、大規模化のためのスケラビリティなどの問題に対処する。

【構成】 L S I 1 中には複数のプロセッサ 2 が一次元状に接続されている。プロセッサ 2 はメモリ 2 1、プロセシングエレメント 2 2、シリアルデータ入出力レジスタ 2 3 から構成されている。各プロセッサ内のメモリ 2 1、プロセシングエレメント 2 2、シリアルデータ入出力レジスタ 2 3 は互いにデータ転送が可能である。隣接プロセッサのプロセシングエレメント間はデータ転送が可能な信号線を持っており、L S I 内の両端のプロセッサからは、その信号線が L S I 外部へ引き出されている。各プロセッサ内のメモリは、メモリバス 3 に接続されており、L S I 外部からは通常のメモリデバイスにアクセスするのと同様の方式でアクセスすることができる。



## 【特許請求の範囲】

【請求項1】 プロセッサエレメントとメモリとシリアルデータ入出力レジスタとから構成されるプロセッサを、複数個一次元状に接続したものを1つのLSI上に集積した並列処理装置であって、各プロセッサ内のメモリと、プロセッシングエレメントと、シリアルデータ入出力レジスタとの間でデータを転送する手段と、隣接プロセッサのプロセッシングエレメント間でデータを転送する手段と、LSI内の両端のプロセッサから、LSI外部へ信号を引き出し、複数LSIを一次元状に接続する手段と、各プロセッサ内のメモリを、LSI外部からは一つの大きなメモリとみなして、アクセスする手段と、各プロセッサ内のシリアルデータ入出力レジスタと外部との間で、プロセッサとは別のクロックを用いて逐次的にデータを入出力する手段と、全プロセッサに対して同一の命令を同時に供給する手段とを有することを特徴とする並列処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、データ処理装置、例えば画像処理装置の構成に関するものである。

## 【0002】

【従来の技術】 多数のデータに同一の処理を施す場合、複数のプロセッサにデータを分配し、同一の命令を同時に実行するSIMD型の処理によって、処理の高速化を図ることができる。このようなSIMD型計算機の1つに、多数のプロセッサを一次元状に接続した、一次元SIMD型計算機がある。例えば画像処理に於いては、画像の1行の画素数分のプロセッサを有する計算機を使用することによって、画像処理の高速化を図ることができる。

## 【0003】

【発明が解決しようとする課題】 従来の一次元SIMD型計算機は、複数のプロセッシングエレメントを1チップに集積しようとした場合、外部のメモリと各プロセッサを接続する配線数が増大し、LSIのピン数の制限を満足できないという問題があった。また、複数のプロセッシングエレメントと複数のメモリを1チップに集積しようとした場合、各プロセッサのメモリを、LSI外部から如何にアクセスするかという問題があった。さらに、プロセッシングエレメント、メモリ、シリアルデータ入出力手段などを個別のLSIによって構成した場合、プロセッサ数を増やしたときの素子数の増大による処理装置の大型化や、メモリアクセス回路やシリアルデータ入出力回路の複雑さが問題となっていた。また、プロセッサ数を変化させたり、プロセッサを最新のものに変更するたびに、大幅な回路変更が必要になる場合があった。

## 【0004】

【課題を解決するための手段】 本発明による並列処理装置は、上記問題を解決するため、プロセッサエレメン

トとメモリとシリアルデータ入出力レジスタとから構成されるプロセッサを、複数個一次元状に接続したものを1つのLSI上に集積し、かつ、各プロセッサ内のメモリと、プロセッシングエレメントと、シリアルデータ入出力レジスタとの間でデータ転送する手段と、隣接プロセッサのプロセッシングエレメント間でデータを転送する手段と、LSI内の両端のプロセッサから、LSI外部へ信号を引き出し、複数LSIを一次元状に接続する手段と、各プロセッサ内のメモリを、LSI外部からは一つの大きなメモリとみなしてアクセスする手段と、各プロセッサ内のシリアルデータ入出力レジスタと外部との間で、プロセッサとは別のクロックを用いて逐次的にデータを入出力する手段と、全プロセッサに対して同一の命令を同時に供給する手段とを有する。

## 【0005】

【実施例】 本発明による並列処理装置の実施例について、図面を用いて説明する。図1は、本発明による並列処理装置の一実施例を示すブロック図である。図1において、1は本発明によるLSIである。LSI中には複数のプロセッサ2が一次元状に接続されている。プロセッサ2はメモリ21、プロセッシングエレメント22、シフトレジスタ23から構成されている。シリアルデータの高速な入出力を行うためのシリアルデータ入出力レジスタは、プロセッサとは別のクロックを用いてデータの入出力を行うことができる。この、シリアルデータ入出力レジスタは本実施例のようにシフトレジスタで構成する他に、ビデオRAMで採用されている、シリアルアクセスメモリで構成する方法もある。プロセッサ2内のメモリ21、プロセッシングエレメント22、シフトレジスタ23間は、互いにデータ転送を行うための信号線201、202、203によって接続されている。また、隣接するプロセッサ2内のプロセッシングエレメント22間もデータ転送を行うための信号線204によって接続されている。ただし、両端のプロセッサ2に関しては、信号線101、102としてLSI外部に引き出されている。各プロセッサ2内のメモリ21は、同一プロセッサ2内のプロセッシングエレメント22からアクセスされるだけではなく、メモリバス3を経由してLSI外部からアクセスすることができる。メモリバス3は、通常のメモリチップに対する信号線と同様な構成を取り、すなわちメモリバス3に接続されたLSI外部の装置からは、本LSI1を単なるメモリチップとみなしてアクセスすることができる。プロセッサ2に対する命令は、チップ外部のコントローラから命令供給バス4を通じて全プロセッサにブロードキャストされる。本実施例以外に、図3に示すように、命令を供給するコントローラ30を同一チップ上に集積する構成も可能である。

【0006】 図2は、図1のLSI1を複数使用する並列処理装置を構成する場合のLSI1の接続例を示す図である。LSIが複数個一次元状に接続されており、各

LSI 1から引き出されたメモリバス3はLSI 1外部で接続され、1つの外部メモリバス10を構成する。また、各LSI 1から引き出された命令供給バス4はLSI 1外部で接続され、1つの外部命令供給バス20を構成する。

【0007】このような構成の並列処理装置で、例えば画像処理を行う場合、画像の1行の画素数と同じだけのプロセッサを使用し、1行ずつ逐次的に処理を進める。このとき、1行内の各画素については並列に処理が行われている。このように、1行の画素数と同じだけのプロセッサを使用するために、LSI 1を必要な個数だけ、図2で示したように一次元状に接続する。例えば512×512画素の画像を処理する画像処理装置を構成する場合、LSI 1内にプロセッサが8個集積されているならば、64個のLSI 1を一次元状に接続して使用する。

【0008】

【発明の効果】以上説明したように、本発明によれば、メモリ、プロセッシングエレメント、シリアルデータ入出力レジスタから構成されるプロセッサを複数個集積したLSIにより、並列プロセッサの構築が容易になり、処理装置の小型化を図ることができる。また、外部からLSI内のメモリを、通常のメモリチップと同様な方法でアクセスできるので、外部プロセッサによる、処理のためのデータの書き込みや、処理結果の読み出しを、簡単に実現できる。また、シリアルデータ入出力レジスタを使用して、例えば画像データなどを、簡単に、高速に、プロセッサとは別のクロックで入出力できる。

【0009】本発明によるLSIは複数個を単に一次元状に接続することにより、プロセッサ数を増大させることができ、必要な高並列処理装置を構成することができる。また、デバイス技術が進歩し、同一アーキテクチャのより高集積なLSIができた場合、複数LSIを1つのLSIで置き換えることによって、プロセッサ数は同一のまま、周辺回路の設計を変更すること無く、装置を容易に小型化する事ができる。

【図面の簡単な説明】

【図1】本発明の一実施例である並列処理装置の構成を示すブロック図である。

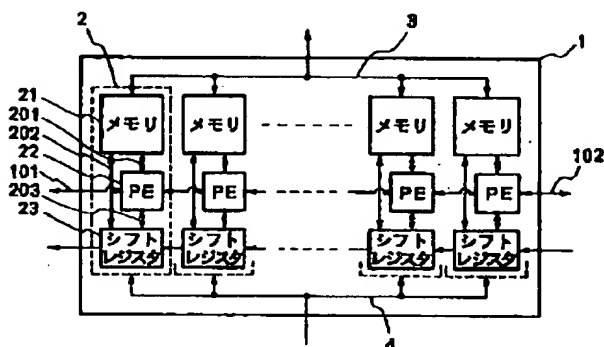
【図2】本発明の一実施例であるLSIを複数個使用する場合の接続を示す図である。

【図3】本発明の一実施例である並列処理装置の構成を示すブロック図である。

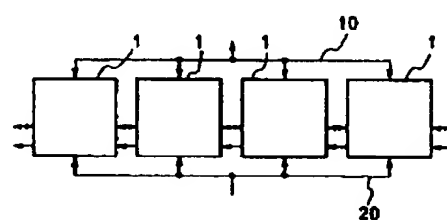
【符号の説明】

- 1 LSI
- 2 プロセッサ
- 21 メモリ
- 22 プロセッシングエレメント
- 23 シフトレジスタ
- 201~204 信号線
- 101~102 信号線
- 3 メモリバス
- 4 命令供給バス
- 10 外部メモリバス
- 20 外部命令供給バス
- 30 コントローラ

【図1】



【図2】



【図3】

